

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-101890
(P2003-101890A)

(43)公開日 平成15年4月4日 (2003.4.4)

(51)Int.Cl.
H 0 4 N 5/335
5/232
5/243

識別記号

F I
H 0 4 N 5/335
5/232
5/243

テマコード(参考)
Z 5 C 0 2 2
Z 5 C 0 2 4

審査請求 未請求 請求項の数4 O.L (全 7 頁)

(21)出願番号 特願2001-292238(P2001-292238)
(22)出願日 平成13年9月25日 (2001.9.25)

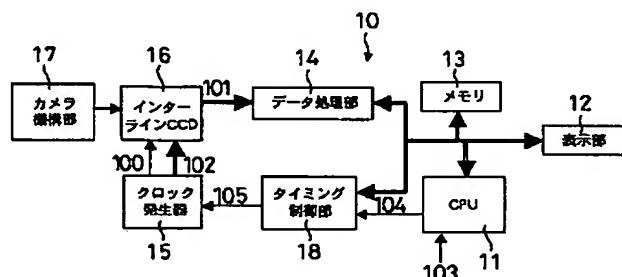
(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 高橋 芳文
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
(72)発明者 奥村 政雄
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
(74)代理人 100075557
弁理士 西教 圭一郎

最終頁に続く

(54)【発明の名称】 画像撮像装置

(57)【要約】

【課題】 動画像および静止画像の表示品質の向上を低成本で実現可能な画像撮像装置を提供する。
【解決手段】 動画像撮像期間では、データ処理部14において画像データを表示部12の画面サイズに合わせたデータ量に縮小し、データ処理部14からメモリ13への転送データ量を減らすことで動画像表示の1フレーム分のデータ転送に必要な時間を短縮し、タイミング制御部18からの分周クロックに基づいてフレーム信号100およびCCD駆動パルス102の周期を短くすることでフレームレートを上げる。静止画撮像期間では、タイミング制御部18は、予めレジスタ設定に分周クロック105の分周率を設定しておき、シャッターポイント後のフレーム信号100がアクティブになるタイミングで分周クロック105を切替え、フレーム信号100およびCCD駆動パルス102の周波数を遅くする。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 光学機構を有するカメラ機構部と、カメラ機構部からの受光信号をアナログ画像データ信号に変換する撮像素子と、撮像素子を駆動するためのクロック発生器と、撮像素子からの画像データを処理するデータ処理部と、処理された画像データを格納するメモリ部と、処理された画像データを表示する表示部と、これらを制御するCPUとからなる画像撮像装置において、画像データ量に応じて撮像素子からのデータ読み出し時間を制御するタイミング制御部を有することを特徴とする画像撮像装置。

【請求項2】 前記タイミング制御部は、データ読み出し速度を可変とすることを特徴とする請求項1記載の画像撮像装置。

【請求項3】 前記データ処理部は、局所的に高輝度の光を受光する画素を前後のラインと周辺画素との相関を取って補正することでスミアノイズを低減することを特徴とする請求項1または2記載の画像撮像装置。

【請求項4】 1画面分のフレームメモリを持たず、表示部に応じたデータ量の小さい小画面用動画像を表示する機能と、データ量の大きい大画面用静止画像を記録する機能とを有することを特徴とする請求項1～3のいずれか1つに記載の画像撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、撮像素子によって取り込んだ画像データの表示および記録などを行う画像撮像装置に関する。

【0002】

【従来技術】 画像撮像装置を安価に実現する方法として、固体撮像素子にフレームメモリを持たない逐次データ読み出し式のインターラインCCD (Charge Coupled Diode, 以下「CCD」と略称する) を用い、デジタル処理によりRGB (R:レッド、G:グリーン、B:ブルー) のデジタル画像データに変換し、システムメモリ (以下「メモリ」と略称する) に画像データを格納する方法がある。CCDを用いた画像撮像装置の従来例について図6を用いて説明する。

【0003】 図6は、CCDを備える従来の画像撮像装置40の構成を示すブロック図である。画像撮像装置40はディジタルカメラなどで実現され、CPU (中央演算処理装置) 41、表示部42、メモリ43、データ処理部44、クロック発生器45、CCD46および光学機構を持ったカメラ機構部47から構成される。CPU41は、クロック発生器45に対してメインクロック104を出力し、装置を構成する各部位の動作を制御する。CCD46は、カメラ機構部47からの受光信号をCCD読み出しアナログデータ信号101に変換し、クロック発生器45からのフレーム信号100およびCCD駆動パルス102を使って1画素ごとにアナログ信号

をデータ処理部44に出力する。データ処理部44は、1画素毎にアナログ-デジタル変換を行い、CPU41は、データ処理部44で逐次変換された画像データをメモリ43に1画面分 (以下「フレーム」とする) 格納する。また、CPU41はメモリ43から逐次表示部42にデータ転送することで画像データを表示する。以上の処理を1フレーム毎に連続して行うことで表示部42において動画表示を実現する。この状態を以下動画撮像期間と呼ぶ。CPU41は1フレーム毎にメモリ43の内容を更新し続け、カメラのシャッターが押された場合、シャッター割り込み信号103をCPU41が検出することでシャッターが押された時点でのフレームデータまたは1フレーム後のデータを静止画としてメモリ43に格納し、データ処理部44からのデータ読み出しを停止する。CPU41はメモリ43に記録された画像データを表示部42へ逐次転送するが、繰返し同じ内容を転送することになるので静止画表示となる。この状態を静止画撮像期間と呼ぶ。

【0004】 図7は、従来の画像撮像装置40のデータ読み出しタイムチャートである。T1はフレーム信号周期である動画撮像期間、T2はCCD46の静止画像データ出力期間、T3はCPU41によるデータ処理部44からの画像データ読み出し開始からメモリ43へ画像データ格納、T4はメモリ43から表示部42への画像データの転送終了までの時間 (以下「CPU静止画像データ転送期間」とする) 、T5は1フレーム分の静止画像データを転送するのに必要な時間 (以下「静止画像フレームデータ読み出し期間」とする) 、T6は静止画撮像期間である。シャッターポイントS後の静止画撮像期間T5において、フレーム信号100がアクティブ (Low) になってからCCD46は静止画像データの出力を開始する。データ処理部44はこの画像データを用いてデータ変換を行うので、CPU静止画像データ転送期間T3は、CCD46の静止画像データ出力期間T2よりも遅れて開始する。ここで静止画撮像期間T5は、1フレーム分の画像データの転送に必要な時間T4よりも長くする必要がある。

【0005】

【発明が解決しようとする課題】 デジタルカメラや携帯電話に搭載されたモバイルカメラなどでは、シャッターを押して静止画像を記録するまでは、小さな液晶表示部などに動画像を表示しており、シャッターが押されると予め定める大きさの静止画像が記録される。記録が終了すると再び液晶表示部に動画像を表示する。従来の低コストな画像撮像装置では、CCD46からの画像データの読み出しは、表示画面サイズおよびメモリ43に格納する画像データ量の最大値に合わせて動画撮像期間T1と静止画撮像期間T5の区別なくフレーム信号100およびCCD駆動パルス102の周期を固定している。この場合、フレーム信号100およびCCD駆動パルス

102はCCD46が逐次転送方式であるためにCPU41のデータ転送能力とメモリ43の読み出し、書き込み能力とメモリ43に格納する画像データ量に見合った周期にする必要がある。したがって、動画撮像期間T1においても静止画撮像期間T5と同じ低フレーム数でしか表示ができない。逆に、動画表示を高フレームレートに対応するためには、静止画像のデータ量に合わせた高速なCPUやメモリを使用する必要があるためコスト高になってしまう。また、CCD46のある画素に対して局所的に高輝度な光が当り続ける場合、その画素の前後のラインすべてが露光してしまい縦縞状のノイズになるスミアノイズは、露光時間が長い低フレーム数のときにより顕著になってくる。スミアノイズの対策としては露光時間を短くし、露光後は遮光するためにCCD46の内部で1画面分のフレームメモリを持たせたり、カメラ機構部47においてメカニカルシャッターなどを搭載する必要があるためコスト高になってしまう。

【0006】本発明の目的は、動画像および静止画像の表示品質の向上を低コストで実現可能な画像撮像装置を提供することである。

【0007】

【課題を解決するための手段】本発明は、光学機構を有するカメラ機構部と、カメラ機構部からの受光信号をアナログ画像データ信号に変換する撮像素子と、撮像素子を駆動するためのクロック発生器と、撮像素子からの画像データを処理するデータ処理部と、処理された画像データを格納するメモリ部と、処理された画像データを表示する表示部と、これらを制御するCPUとからなる画像撮像装置において、画像データ量に応じて撮像素子からのデータ読み出し時間を制御するタイミング制御部を有することを特徴とする画像撮像装置である。

【0008】本発明に従えば、タイミング制御部が画像データ量に応じて撮像素子からのデータ読み出し時間を制御するので、動画像および静止画像の表示品質の向上を低コストで実現することができる。

【0009】また本発明は、前記タイミング制御部は、データ読み出し速度を可変とすることを特徴とする。

【0010】本発明に従えば、タイミング制御部がデータ読み出し速度を可変とすることで、データ読み出し時間を制御することができる。

【0011】また本発明は、前記データ処理部は、局所的に高輝度の光を受光する画素を前後のラインと周辺画素との相関を取って補正することでスミアノイズを低減することを特徴とする。

【0012】本発明に従えば、データ処理部が局所的に高輝度の光を受光する画素を前後のラインと周辺画素との相関を取って補正することでスミアノイズを低減するので、画像の表示品質をさらに向上させることができる。

【0013】また本発明は、1画面分のフレームメモリ

を持たず、表示部に応じたデータ量の小さい小画面用動画像を表示する機能と、データ量の大きい大画面用静止画像を記録する機能とを有することを特徴とする。

【0014】本発明に従えば、1画面分のフレームメモリを持たず、従来と同等のシステムコストでデータ量の小さい表示部に応じた小画面用動画像を表示する機能と、データ量の大きい大画面用静止画像を記録する機能とを有することができる。

【0015】

10 【発明の実施の形態】図1は、本発明の実施の一形態である画像撮像装置10の構成を示すブロック図である。画像撮像装置10は、デジタルカメラおよび携帯電話に搭載されたモバイルカメラなどで実現され、CPU11、表示部12、メモリ13、データ処理部14、クロック発生器15、インターラインCCD16、カメラ機構部17およびタイミング制御部18を有する。CPU11は、タイミング制御部18にメインクロック104を出力し、データ処理部14から出力される画像データをメモリ13に格納、表示部12に画像データを転送して表示するなど装置を構成する各部位を制御する。CCD16は、カメラ機構部17からの受光信号をCCD読み出しアナログデータ信号101に変換する撮像素子である。クロック発生器15は、フレーム信号100およびCCD駆動パルス102をCCD16に対して出力し、1画素ごとにアナログ信号をデータ処理部14に出力させる。データ処理部14は、1画素毎にアナログデジタル変換を行い、画像データを出力する。CPU11は、データ処理部14から出力された画像データをメモリ13に1フレーム分格納する。また、CPU11はメモリ13から表示部12にデータ転送することで画像データを表示する。この処理を1フレーム毎に連続して行うことで表示部12において動画表示を実現する。

【0016】シャッター割り込み信号103を受けたCPU11は、タイミング制御部18に対し出力クロック周波数を変更することをレジスタアクセスによって通知する。周波数の変更通知を受け取ったタイミング制御部18は、現在のフレームが終了するまで現状周波数のCCD駆動パルス生成用マスタークロック（以下分周クロックとする）105をクロック発生器15に出力し続け、次のフレーム開始と同時にクロック発生器15への出力クロック周波数をレジスタ設定値に基づいた分周率で変換して出力する。

【0017】データ処理部14は、CCD16からのCCD読み出しアナログデータ信号101から、局所的に高輝度の光を受光する画素を前後のラインと周辺画素との相関を取って補正することでスミアノイズを低減する機能を持つ。また、ラインデータのうち任意のライン数になるようデータの間引き機能を持つ。変換され、間引き処理された画像データは、CPU11によってメモリ13に格納される。通常は、格納された画像データを1

フレームごとに更新しながら表示部12に転送して動画表示を行う。

【0018】図2は、本発明の画像撮像装置10のデータ読み出しタイミングチャートである。T6はCCD動画像データ出力期間、T7はCPU41によるデータ処理部14からの画像データ読み出し開始からメモリ13へ画像データ格納、メモリ13から表示部12への画像データの転送終了までの時間（以下「CPU動画像データ転送期間」とする）、T8は動画像1フレーム分のデータ転送に必要な時間（以下「動画像フレームデータ読み出し期間」とする）である。従来技術では静止画像のデータ量に合った転送処理時間を確保するために、フレーム信号100およびCCD駆動パルス102を一定周期（静止画像撮像期間T5）以上にする必要があり、フレーム信号100およびCCD駆動パルス102の周期を変更することができなかったため動画像撮像期間でも同じ時間でデータ読み出しを行っていた。したがって、動画像を表示する表示部12の画面サイズは、記録するための静止画像のサイズに比べて小さいので、動画像を読み出すには、図に示す動画像フレームデータ読み出し期間T8で画像データの読み出しが可能であるにもかかわらず静止画像フレームデータ読み出し期間T4と同じ周期でしか画像データを読み出すことができなかった。

【0019】本発明では、図2に示すように動画像撮像期間では、データ処理部14において画像データを表示部12の画面サイズに合わせたデータ量に縮小し、データ処理部14からメモリ13への転送データ量を減らすことで動画像表示の1フレーム分のデータ転送に必要な時間T8を短縮し、一方タイミング制御部18からの分周クロックに基づいてフレーム信号100およびCCD駆動パルス102の周期を短くすることでCCD16からの読み出し速度を大きくし、表示部12で表示する動画像のフレームレートを上げる。静止画像撮像期間では、タイミング制御部18は、予めレジスタ設定に分周クロック105の分周率を設定しておき、シャッターポイントS後のフレーム信号100がアクティブになるタイミングで分周クロック105を切替え、フレーム信号100およびCCD駆動パルス102の周波数を遅くする。

【0020】したがって、動画像表示のようにデータ量の小さな画像データを処理するときは、データ読み出し時間であるフレーム周期を短くして表示し、静止画像記録のようにデータ量の大きな画像データを処理するときは、フレーム周期を長くして画像データを記録する。これにより、フレーム周期を短くすることで、フレームレートを速くして動画像を滑らかに表示するとともに、フレーム周期を長くすることで、高画質の画像データを記録することができる。

【0021】また、動画像撮像期間を短くすることで、CCD16の露光時間が短くなり、データ処理部14によってスミアノイズの補正が可能となっている。

【0022】以上のように本発明では、処理能力の高いCPU、フレームメモリを有するCCD、過度な露光を防ぐためのメカニカルシャッターなどを必要とせず、従来と同等のコストで動画像および静止画像の表示品質を向上させることができる。

【0023】図3は、本発明の実施例である画像撮像装置20の構成を示すブロック図である。以下に説明する実施例では、表示装置として、表示領域が水平方向160ドット、垂直方向120ラインの解像度を持つQQVGAのカラー液晶表示装置（LCD）23を用い、静止画像撮像時の画像サイズは水平方向640ドット、垂直方向480ドットのVGAとした場合を例として説明する。画像撮像装置20は、CPU11、クロック発生器15、インターラインCCD16、カメラ機構部17、タイミング制御部18、DSP（Digital Signal Processor）21、LCDコントローラ22、LCD23、SRAM（Static Random Access Memory）24およびROM（Read Only Memory）25を有する。DSP21は、アナログ画像データからデジタル画像データへの変換、スミアノイズの補正などを行うデータ処理部である。LCDコントローラ22は、表示部であるLCD23に画像を表示するために画像データの転送タイミングなどを制御する。SRAM24は、メインメモリおよびビデオメモリとして動作し、装置の動作に必要なデータおよび画像データを記憶するメモリ部である。ROM25は、装置を動作させるためのプログラムを格納している。図1で示した画像撮像装置と同じ動作を行う部位については同じ符号を付し、説明は省略する。CPU11は、タイミング制御部18に対し、レジスタアクセスにより動画像表示の画像データのサイズと、フレームレートに応じた分周値と、静止画像表示の画像データのサイズに応じた分周値を予め設定しておく。また、DSP21に対してもCPU11は、1フレーム中の必要な画像データのサイズを動画像表示と静止画像表示とでそれぞれ設定することでDSP21からの読み出しデータ量を予め指定しておく。DSP21はCPU11に対し、1ライン毎にデータが貯まつたことを通知するデータレディ割り込み信号107を出力し、CPU11は、この割り込み信号を元に1ライン分のデータをDSP21からSRAM24に転送し、1フレーム分のデータ転送を終えるとSRAM24からLCDコントローラ22へデータを転送する。

【0024】まず、動画像を表示する場合は、カメラ機構部17から得られたデータのうちQQVGAサイズ分だけのデータ量になるようDSP15内部で間引き処理を行い、CPU11はDSP21からの画像データをSRAM24に格納しつつ、SRAM24からLCDコントローラ22に画像データを転送してLCD23に表示する。これを1フレームごとに更新しながら行うこと50で、LCD23に動画像が表示される。

【0025】次に、シャッターが押されて、シャッター割り込み信号103をCPU11が検出すると、CPU11はタイミング制御部18に対してクロックの変更をイネーブルするようレジスタアクセスにより通知する。タイミング制御部18は、クロック変更イネーブルを受けた次のフレーム開始時点から分周クロック105の周期を長い周期に切り替えるとともに、DSP21に対してクロックパルスセレクト信号106を出力してクロックの変更を通知する。DSP21は、次のフレーム開始時点から画像データの読み出しサイズを、動画像用のQQVGAサイズから予めレジスタ指定した静止画像用のVGAサイズに変更する。

【0026】これにより、CCD6の読み出しクロック速度を低速にし、CPU11はVGAサイズの画像データをSRAM24に転送して記録する。タイミング制御部18は、CPU11がシャッター割り込み信号103を受け取った時点のフレームが終了するまで現在のクロック周波数を保持し、次のフレームが開始すると同時にレジスタ設定による低速クロックを出力する。

【0027】図4は、タイミング制御部18の構成を示すブロック図である。タイミング制御部18は、周波数変更レジスタ31、同期化回路32、分周回路33およびセレクタ34から構成される。周波数変更レジスタ31は、シャッター割り込み信号を検出したCPU11からの通知に応じて周波数切替えイネーブル信号108を出力する。同期化回路32は、周波数変更レジスタ31からの周波数切替えイネーブル信号108をクロックパルスセレクト信号106にするためにフレーム信号100と同期化するための回路である。同期化回路32によって同期化したクロックパルスセレクト信号106をDSP21に出力することでDSP21は、データ読み出しサイズが変更されたことを検出し、読み出すデータ量をQQVGAサイズからVGAサイズに間引き処理量を変更することができる。分周回路33は、LCD23の表示サイズであるQQVGAサイズと静止画像撮像時の画像サイズであるVGAサイズとのデータ量比率が1:1.6となることから、メインクロック104の1/1.6分周クロック109を出力する。セレクタ34は、クロックパルスセレクト信号106の状態によって出力するクロックを選択する。ここで使用する周波数変更レジスタ31、同期化回路32、分周回路33およびセレクタ34は、フリップフロップとNANDゲートとを用いて容易に実現できる。

【0028】図5は、本発明の画像撮像装置20におけるタイミング制御部18の動作を示すタイミングチャートである。図5(b)は、図5(a)のフレーム切り替わり時点を拡大した図である。シャッター割り込み信号103がアクティブになると、CPU11はタイミング制御部18に対して周波数変更通知をレジスタアクセスにより行い、周波数切替えイネーブル信号108をアク

ティブにする。タイミング制御部18は、フレーム信号100がアクティブになるタイミングで周波数切替えイネーブル信号108をラッチし、フレーム信号100に同期したクロックパルスセレクト信号106を生成する。タイミング制御部18内の分周回路32では予め1/1.6分周クロック109を生成しておき、クロックパルスセレクト信号106に応じてセレクタ34がメインクロック104と1/1.6分周クロック109とから選択してクロック周期を可変する。

10 【0029】上記のタイミング制御部18は、分周クロックを1/1分周(メインクロックと同速)と1/1.6分周に固定したが、レジスタ設定値を用い、分周回路を複数設けることによって2種類以上の分周比から選択することも可能である。

【0030】また、本発明ではインターライン方式CCDを実施例として用いたが、フレームインターライン方式CCD、フレームトランスファ方式CCDおよびCMOSセンサを用いてもよい。

20 【0031】
20 【発明の効果】以上のように本発明によれば、動画像および静止画像の表示品質の向上を低成本で実現することができる。

【0032】また本発明によれば、データ読み出し速度を可変とすることでデータ読み出し時間を制御することができる。

【0033】また本発明によれば、スミアノイズを低減して、画像の表示品質をさらに向上させることができる。

30 【0034】また本発明によれば、1画面分のフレームメモリを持たず、従来と同等のシステムコストでデータ量の小さい表示部に応じた小画面用動画像を表示する機能と、データ量の大きい大画面用静止画像を記録する機能とを有することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態である画像撮像装置10の構成を示すブロック図である。

【図2】本発明の画像撮像装置10のデータ読み出しタイミングチャートである。

40 【図3】本発明の実施例である画像撮像装置20の構成を示すブロック図である。

【図4】タイミング制御部18の構成を示すブロック図である。

【図5】本発明の画像撮像装置20におけるタイミング制御部18の動作を示すタイミングチャートである。

【図6】CCDを備える従来の画像撮像装置40の構成を示すブロック図である。

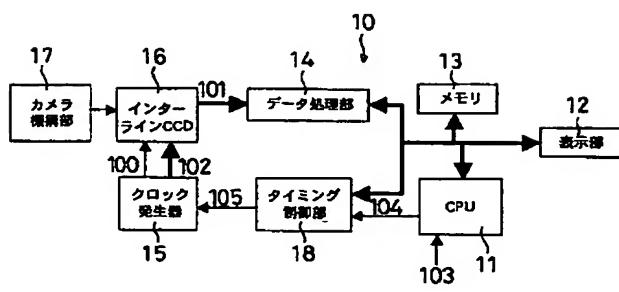
【図7】従来の画像撮像装置40のデータ読み出しタイムチャートである。

【符号の説明】

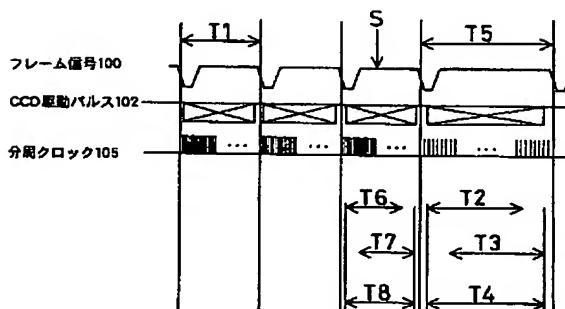
11, 41 CPU
 12, 42 表示部
 13, 43 メモリ
 14, 44 データ処理部
 15, 45 クロック発生器
 16, 46 インターラインCCD
 17, 47 カメラ機構部
 18 タイミング制御部
 21 DSP
 22 LCDコントローラ
 23 LCD
 24 SRAM
 25 ROM
 31 周波数変更レジスタ
 32 同期化回路
 33 分周回路
 34 セレクタ
 100 フレーム信号

101 CCD読み出しアナログデータ信号
 102 CCD駆動パルス
 103 シャッター割り込み信号
 104 メインクロック
 105 分周クロック
 106 クロックパルスセレクト信号
 107 データレディ割り込み信号
 108 周波数切替えイネーブル信号
 109 1/16分周クロック
 10 S シャッターポイント
 T1 動画撮像期間
 T2 静止画像データ出力期間
 T3 CPU静止画像データ転送期間
 T4 静止画像フレームデータ読み出し期間
 T5 静止画撮像期間
 T6 CCD動画像データ出力期間
 T7 CPU動画像データ転送期間
 T8 動画像フレームデータ読み出し期間

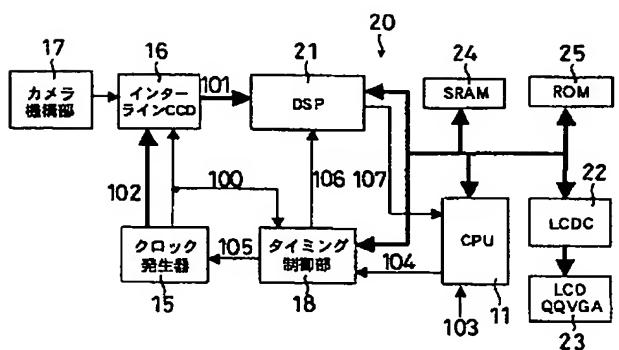
【図1】



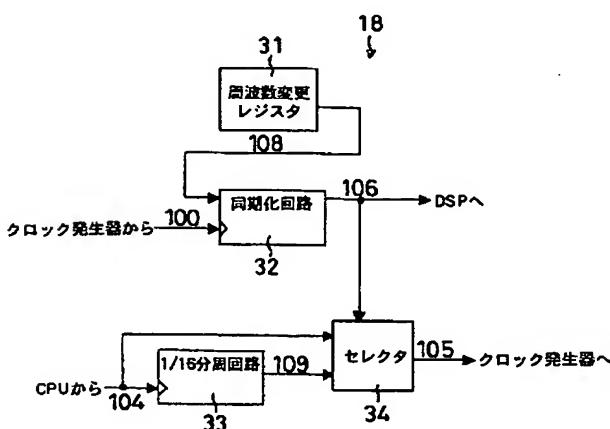
【図2】



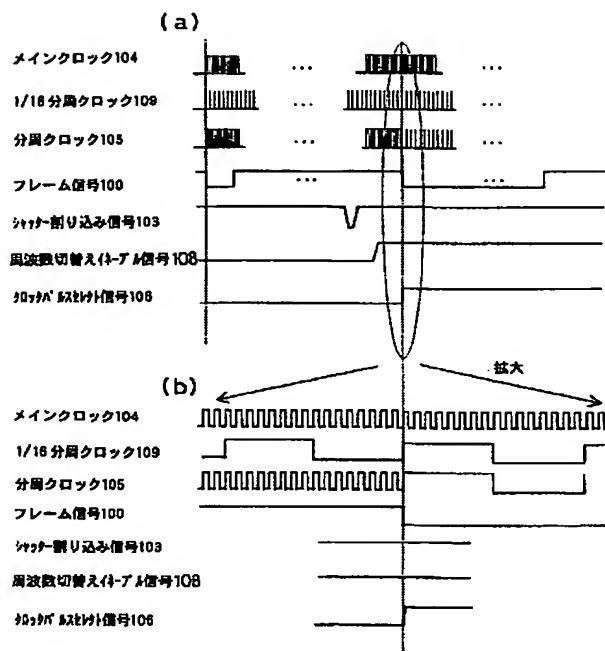
【図3】



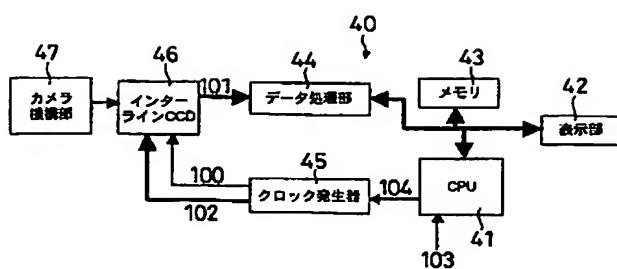
【図4】



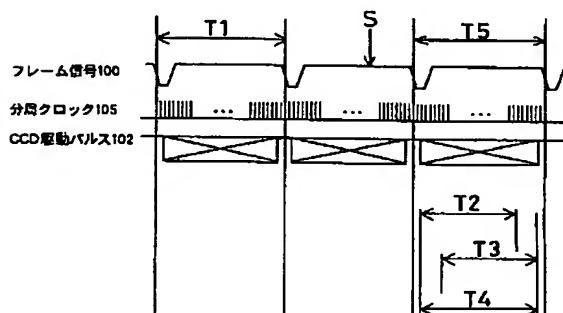
〔 5〕



〔四〕 6



〔图 7〕



フロントページの続き

(72) 発明者 安本 隆
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

Fターム(参考) 5C022 AA13 AB31 AB52 AC69
5C024 AX01 BX01 CX13 CY16 CY37
GY04 JX35

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.